

Family list

5 application(s) for: JP2002215096

Sorting criteria: Priority Date Inventor Applicant Ecla

1	Organic electric lighting displaying device and its driving method and picture element circuit Inventor: OHYUNG GWON [KR] EC: G09G3/32A8C; H01L27/32M2 Publication CN1361510 (A) - 2002-07-31 info: CN1223979 (C) - 2005-10-19	Applicant: SAMSUNG SDI CO LTD [KR] IPC: G09F9/30; G09G3/20; G09G3/30; (+12) Priority Date: 2000-12-29
2	Organic electroluminescent display, driving method and pixel circuit thereof Inventor: KWON OH-KYONG [KR] EC: G09G3/32A8C; H01L27/32M2 Publication EP1220191 (A2) - 2002-07-03 info: EP1220191 (A3) - 2003-09-10 EP1220191 (B1) - 2006-12-20	Applicant: SAMSUNG SDI CO LTD [KR] IPC: G09F9/30; G09G3/20; G09G3/30; (+12) Priority Date: 2000-12-29
3	ORGANIC ELECTRO-LUMINESCENCE DISPLAY DEVICE, DRIVING METHOD THEREFOR, AND PIXEL CIRCUIT THEREFOR Inventor: KWON OH-KYONG EC: G09G3/32A8C; H01L27/32M2 Publication JP2002215096 (A) - 2002-07-31 info: JP2002215096 (A) - 2002-07-31	Applicant: SAMSUNG SDI CO LTD IPC: G09F9/30; G09G3/20; G09G3/30; (+15) Priority Date: 2000-12-29
4	PIXEL CIRCUIT OF VOLTAGE DRIVE TYPE ORGANIC ELECTRO-LUMINESCENCE DEVICE Inventor: KWON O GYEONG [KR] EC: G09G3/32A8C; H01L27/32M2 Publication KR20020056353 (A) - 2002-07-10 info: KR20020056353 (A) - 2002-07-10	Applicant: SAMSUNG SDI CO LTD [KR] IPC: G09F9/30; G09G3/20; G09G3/30; (+12) Priority Date: 2000-12-29
5	Organic electroluminescent display, driving method and pixel circuit thereof Inventor: KWON OH-KYONG [KR] EC: G09G3/32A8C; H01L27/32M2 Publication US2002118150 (A1) - 2002-08-29 info: US2002118150 (A1) - 2002-08-29	Applicant: KWON OH-KYONG, ; SAMSUNG SDI CO., LTD IPC: G09F9/30; G09G3/20; G09G3/30; (+12) Priority Date: 2000-12-29

.....
Data supplied from the *espacenet* database — Worldwide

ORGANIC ELECTRO-LUMINESCENCE DISPLAY DEVICE, DRIVING METHOD THEREFOR, AND PIXEL CIRCUIT THEREFOR

Publication number: JP2002215096 (A)

Publication date: 2002-07-31

Inventor(s): KWON OH-KYONG +

Applicant(s): SAMSUNG SDI CO LTD +

Classification:

- international: G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/32; H01L51/50; H01L27/12; G09F9/30; G09G3/20; G09G3/30; G09G3/32; H01L27/28; H01L51/50; H01L27/12; (IPC-7); G09F9/30; G09G3/20; G09G3/30; H05B33/14

- European: G09G3/32A8C; H01L27/32M2

Application number: JP20010365551 20011130

Priority number(s): KR20000085683 20001229

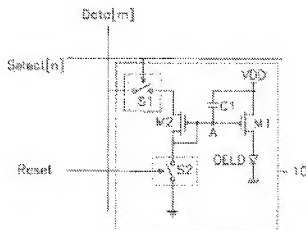
Also published as:

EP1220191 (A2)
EP1220191 (A3)
EP1220191 (B1)
US2002118150 (A1)
US7015884 (B2)

more >>

Abstract of JP 2002215096 (A)

PROBLEM TO BE SOLVED: To realize high gradations compensating for deviation of a threshold voltage of a thin film transistor when driving an organic electro-luminescence element. **SOLUTION:** The pixel circuit comprises an organic electro-luminescence element OELD emitting light corresponding to an applied current quantity, a 1st switch S1 for switching a data voltage to be applied to the data line in response to a selection signal applied to a scanning line, a 1st transistor M1 for supplying a current to the organic electro-luminescence element correspondingly to the data voltage inputted to the gate through the 1st switch S1, a 2nd transistor M2 of which the gate is connected with the gate of the 1st transistor M1 for compensating for the deviation of the threshold voltage of this 1st transistor M1, and a capacitor C1 for holding the data voltage applied to the gate of the 1st transistor M1 for prescribed period.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-215096

(P2002-215096A)

(43) 公開日 平成14年7月31日 (2002. 7. 31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 4		6 2 4 B
審査請求 未請求 請求項の数34 O L (全 14 頁) 最終頁に続く			
(21) 出願番号	特願2001-365551 (P2001-365551)	(71) 出願人	590002817 三單エスディアイ株式会社 大韓民國京畿道水原市八達區▲しん▼洞 575番地
(22) 出願日	平成13年11月30日 (2001. 11. 30)	(72) 発明者	權 五 敬 大韓民國ソウル市松坡區新川洞 (無番地) ジャンミ・アパートメント14棟1102号
(31) 優先権主張番号	2 0 0 0 - 0 8 5 6 8 3	(74) 代理人	100107308 弁理士 北村 修一郎
(32) 優先日	平成12年12月29日 (2000. 12. 29)		
(33) 優先権主張国	韓国 (K R)		

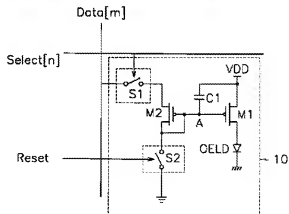
最終頁に続く

(54) 【発明の名称】 有機電界発光表示装置、有機電界発光表示装置の駆動方法及び有機電界発光表示装置のピクセル回路

(57) 【要約】

【課題】 有機電界発光素子を薄膜トランジスタを利用して駆動する場合に薄膜トランジスタのしきい電圧の偏差を補償して高階調を可能にする。

【解決手段】 印加される電流の量に対応する光を発光する有機電界発光素子 O E L D、走査線に印加される選択信号にตอบสนองして前記データ線に印加されるデータ電圧をスイッチングするための第1スイッチ S 1、第1スイッチ S 1 を通ってゲートに入力される前記データ電圧に対応し前記有機電界発光素子に電流を供給する第1トランジスタ M 1、このトランジスタ M 1 のしきい電圧偏差を補償するため第1トランジスタ M 1 のゲートにゲートが連結されている第2トランジスタ M 2、第1トランジスタ M 1 のゲートに印加されるデータ電圧を所定時間維持するためのコンデンサ C 1 を備える。



【特許請求の範囲】

【請求項 1】 画像信号を示すデータ電圧を伝達する複数のデータ線、選択信号を伝達するための複数の走査線、及び前記複数のデータ線と前記複数の走査線によって規定される複数のピクセルに各々形成される複数のビクセル回路を備え、

前記ビクセル回路が、
印加される電流の量に対応する光を発光する有機電界発光素子、

前記走査線に印加される選択信号に応じて前記データ線に印加されるデータ電圧をスイッチングするための第 1 スイッチ、

前記第 1 スイッチを通してゲートに入力される前記データ電圧に対応して前記有機電界発光素子に電流を供給する第 1 薄膜トランジスタ、

前記第 1 薄膜トランジスタのしきい電圧偏差を補償するため、前記第 1 薄膜トランジスタのゲートにゲートが連結されている第 2 薄膜トランジスタ、及び前記第 1 薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するためのコンデンサを備えた有機電界発光表示装置。

【請求項 2】 制御信号に応じて前記第 1 薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第 2 スイッチを有する請求項 1 に記載の有機電界発光表示装置。

【請求項 3】 前記制御信号は、外部リセット信号である請求項 2 に記載の有機電界発光表示装置。

【請求項 4】 前記制御信号は、直前の走査線の選択信号である請求項 2 に記載の有機電界発光表示装置。

【請求項 5】 現在の選択信号が印加される前に、直前の前記データ電圧が前記データ線に印加される請求項 4 に記載の有機電界発光表示装置。

【請求項 6】 前記第 2 薄膜トランジスタは、ゲートとドレーンが互いに電気的に連結される請求項 2 に記載の有機電界発光表示装置。

【請求項 7】 前記第 1 スイッチは、ゲートに前記走査線が連結され、ソースに前記データ線が連結されて、ドレーンに前記第 2 薄膜トランジスタのドレーンが連結される第 3 薄膜トランジスタであり、

前記第 2 スイッチは、ゲートに前記制御信号が印加され、ソースに前記第 1 薄膜トランジスタのゲートが連結されて、ドレーンにリセットのための所定電圧が印加される第 4 薄膜トランジスタである請求項 2 に記載の有機電界発光表示装置。

【請求項 8】 前記第 4 薄膜トランジスタのソースに印加される所定電圧は、接地電圧である請求項 7 に記載の有機電界発光表示装置。

【請求項 9】 前記第 4 薄膜トランジスタのソースに印加される所定電圧は、プリチャージ電圧である請求項 7 に記載の有機電界発光表示装置。

【請求項 10】 前記プリチャージ電圧は、最大グレーレベルを表示するために前記第 1 薄膜トランジスタのゲートに印加される最少データ電圧より低い値に設定される請求項 9 に記載の有機電界発光表示装置。

【請求項 11】 前記第 4 薄膜トランジスタは、ゲートとドレーンが互いに連結される請求項 7 に記載の有機電界発光表示装置。

【請求項 12】 前記第 1 スイッチは、ゲートに前記走査線が連結され、ドレーンに前記データ線が連結されて、ソースに前記第 2 薄膜トランジスタのソースが連結される第 3 薄膜トランジスタであり、
前記第 2 スイッチは、ゲートに前記制御信号が印加され、ドレーンに前記第 1 薄膜トランジスタのゲートが連結されて、ソースにリセットのための所定電圧が印加される第 4 薄膜トランジスタである請求項 2 に記載の有機電界発光表示装置。

【請求項 13】 前記第 1 乃至第 4 薄膜トランジスタは同一電導タイプの薄膜トランジスタである請求項 7 又は 12 に記載の有機電界発光表示装置。

【請求項 14】 前記第 1、第 2、第 3 薄膜トランジスタは第 1 電導タイプのトランジスタであり、前記第 4 薄膜トランジスタは第 2 電導タイプのトランジスタである請求項 7 又は 12 に記載の有機電界発光表示装置。

【請求項 15】 前記第 1 及び第 2 薄膜トランジスタは第 1 電導タイプのトランジスタであり、前記第 3 及び第 4 薄膜トランジスタは第 2 電導タイプのトランジスタである請求項 7 又は 12 に記載の有機電界発光表示装置。

【請求項 16】 前記第 1 薄膜トランジスタと前記第 2 薄膜トランジスタは同一のしきい電圧値を有する請求項 2 に記載の有機電界発光表示装置。

【請求項 17】 前記第 1 薄膜トランジスタと前記第 2 薄膜トランジスタは前記データ線と平行しており、同一面に形成される請求項 16 に記載の有機電界発光表示装置。

【請求項 18】 複数のデータ線、前記複数のデータ線に交差する複数の走査線、前記複数のデータ線と複数の走査線によって規定される領域に形成されて各々有機電界発光素子に電流を供給する薄膜トランジスタを有する行列形態の複数のピクセルを含む有機電界発光表示装置の駆動方法において、

画像信号を示すデータ電圧を前記複数のデータ線に印加する第 1 段階、

前記ピクセルの行を選択するための選択信号を前記複数の走査線に順次に印加する第 2 段階、

前記選択信号に応じて前記データ線に印加されたデータ電圧をスイッチングした後、印加されたデータ電圧を前記薄膜トランジスタのしきい電圧偏差を減らすために補償する第 3 段階、及び前記補償されたデータ電圧を前記薄膜トランジスタのゲートに伝達して前記有機電界発光表示素子に電流を供給する第 4 段階を、

含む有機電界発光表示装置の駆動方法。

【請求項 19】 制御信号に応答して前記薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第 5 段階を含む請求項 18 に記載の有機電界発光表示装置の駆動方法。

【請求項 20】 前記制御信号は外部リセット信号である請求項 19 に記載の有機電界発光表示装置の駆動方法。

【請求項 21】 前記制御信号は、直前の走査線の選択信号である請求項 19 に記載の有機電界発光表示装置の駆動方法。

【請求項 22】 現在の選択信号が印加される前に、直前の前記データ電圧が前記データ線に印加される請求項 21 に記載の有機電界発光表示装置の駆動方法。

【請求項 23】 複数のデータ線と複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路において、前記ピクセル回路は、有機電界発光素子、

前記電界発光素子にドレインが電気的に連結される第 1 薄膜トランジスタ、

前記第 1 薄膜トランジスタのゲートにゲートとソースが共に連結される第 2 薄膜トランジスタ、

前記走査線に制御端子が連結され、前記データ線と前記第 2 薄膜トランジスタのソースに各々第 1 端子及び第 2 端子が電気的に連結される第 1 スイッチ、及び、前記第 1 薄膜トランジスタのゲートとソースの間に連結されるコンデンサを含む有機電界発光表示装置のピクセル回路。

【請求項 24】 制御信号が制御端子に印加され、第 1 端子が前記第 2 薄膜トランジスタのドレインに電気的に連結されて、第 2 端子に所定電圧が印加される第 2 スイッチを有する請求項 23 に記載の有機電界発光表示装置のピクセル回路。

【請求項 25】 前記第 2 スイッチの制御端子には、外部リセット信号が印加される請求項 24 に記載の有機電界発光表示装置のピクセル回路。

【請求項 26】 前記第 2 スイッチの制御端子には、直前の走査線が連結される請求項 24 に記載の有機電界発光表示装置のピクセル回路。

【請求項 27】 前記第 1 スイッチは、ゲートに前記走査線が連結され、ソースに前記データ線が連結されて、ドレインに前記第 2 薄膜トランジスタのドレインが連結される第 3 薄膜トランジスタであり、

前記第 2 スイッチは、ゲートに前記制御信号が印加され、ソースに前記第 1 薄膜トランジスタのゲートが連結されて、ドレインにリセットのための所定電圧が印加される第 4 薄膜トランジスタである請求項 24 に記載の有機電界発光表示装置のピクセル回路。

【請求項 28】 前記第 4 薄膜トランジスタは、ゲート

とドレインが互いに電気的に連結されている請求項 27 に記載の有機電界発光表示装置のピクセル回路。

【請求項 29】 前記第 1 スイッチは、ゲートに前記走査線が連結され、ドレインに前記データ線が連結されて、ソースに前記第 2 薄膜トランジスタのソースが連結される第 3 薄膜トランジスタであり、前記第 2 スイッチは、ゲートに前記制御信号が印加され、ドレインに前記第 1 薄膜トランジスタのゲートが連結されて、ソースにリセットのための所定電圧が印加される第 4 薄膜トランジスタである請求項 24 に記載の有機電界発光表示装置のピクセル回路。

【請求項 30】 前記第 1 乃至第 4 薄膜トランジスタは、同一電導タイプの薄膜トランジスタである請求項 27 又は 29 に記載の有機電界発光表示装置のピクセル回路。

【請求項 31】 前記第 1、第 2、第 3 薄膜トランジスタは、第 1 電導タイプのトランジスタであり、前記第 4 薄膜トランジスタは第 2 電導タイプのトランジスタである請求項 27 又は 29 に記載の有機電界発光表示装置のピクセル回路。

【請求項 32】 前記第 1 及び第 2 薄膜トランジスタは第 1 電導タイプのトランジスタであり、前記第 3 及び第 4 薄膜トランジスタは第 2 電導タイプのトランジスタである請求項 27 又は 29 に記載の有機電界発光表示装置のピクセル回路。

【請求項 33】 前記第 1 薄膜トランジスタと前記第 2 薄膜トランジスタは、同一のしきい電圧値を有する請求項 24 に記載の有機電界発光表示装置のピクセル回路。

【請求項 34】 前記第 1 薄膜トランジスタと前記第 2 薄膜トランジスタは前記データ線と平行しており、同一線上に形成される請求項 33 に記載の有機電界発光表示装置のピクセル回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は有機電界発光 (electroluminescent; 以下、'EL' とする) 表示装置、有機 EL 表示装置の駆動方法及び有機 EL 表示装置のピクセル回路に関し、さらに詳しくは有機 EL 表示装置のピクセルを薄膜トランジスタ (thin film transistor; 以下、'TFT' とする) を利用して駆動する場合に TFT のしきい電圧 (threshold voltage) 調整を補償して高輝度階調再現を可能にする有機 EL 表示装置、有機 EL 表示装置の駆動方法及びピクセル回路に関する。

【0002】

【従来の技術】一般に有機 EL 表示装置は蛍光性有機化合物を電気的に励起して発光させる表示装置であって、N・M 個に行列配置された有機発光セルを電圧駆動あるいは電流駆動して映像を表現できるようにしている。このような有機発光セルは図 1 に示すように、アノード (ITO)、有機薄膜、カソードレイヤ (Metal) の積

層構造を有している。有機薄膜は電子と正孔の均衡を良くして発光効率を向上させるために発光層 (EML: emitting layer)、電子輸送層 (ETL: Electron Transport Layer) 及び、正孔輸送層 (HTL: Hole Transport Layer) を含む多層構造からなり、また独立の電子注入層 (EIL: Electron Injecting Layer) と正孔注入層 (HIL: Hole Injecting Layer) を含んでいる。

【0003】このような有機発光素子を駆動する方式には、単純マトリクス方式である受動駆動 (passive matrix) 方式と、TFT を利用した能動駆動 (active matrix) 方式がある。単純マトリクス方式は正極線と負極線を直交させて形成し、ラインを選択して各ピクセルを瞬間的に駆動するが、能動駆動方式はTFTとコンデンサーを各ITO画素電極に接続してコンデンサー容量によって電圧を維持し、比較的長時間駆動するようにする駆動方式である。

【0004】図2は有機EL素子を、TFT を利用して駆動するためのピクセル回路であって、 $N \times M$ 個のピクセル群のうちの一つ n 行 m 列交点を代表的に示したものである。図2に示す構造では、有機EL素子 (OELD) に電流を制御する電流駆動形トランジスタ (Mb) が連結されて発光のための電流を供給する。電流駆動形トランジスタ (Mb) の電流量はスイッチングトランジスタ (Ma) を通って印加されるデータ電圧によって制御される。この時、印加された電圧を一定期間維持するためのコンデンサー (C) がトランジスタ (Mb) のソースとゲートの間に連結される。トランジスタ (Ma) のゲートには n 番目の選択信号線 (Select [n]) が連結されており、ソース側には m 番目のデータ線 (Data [m]) が連結されている。

【0005】この構造のピクセルの動作を説明すると、図3に示すようにスイッチングトランジスタ (Ma) のゲートに印加される n 番目の選択信号 (Select [n]) によってトランジスタ (Ma) がオンになると、データ線を通じてデータ電圧 (V_{data}) が駆動用トランジスタ (Mb) のゲート (ノードA) に印加される。そして、ゲートに印加されるデータ電圧 (V_{data}) に対してトランジスタ (Mb) を通じて有機EL素子 (OELD) に電流が流れて発光する。

【0006】この時、有機EL素子に流れる電流は数1に示す式1の通りである。

【数1】

$$I_{OELD} = \frac{\beta}{2} \cdot (V_{GS} - V_{TH})^2 = \frac{\beta}{2} \cdot (V_{DD} - V_{DATA} - V_{TH})^2$$

ここで、 I_{OELD} は有機EL素子に流れる電流、 V_{GS} はトランジスタ (Mb) のソースとゲートの間の電圧、 V_{TH} はトランジスタ (Mb) のしきい電圧、 V_{data} はデータ電圧、 β は定数値を示す。 V_{DD} は電源電圧である。

【0007】前記式1に示したように、図2に示したピクセル回路によると印加されるデータ電圧 (V_{data}) に

対応する電流が有機EL素子 (OELD) に供給され、供給された電流に対応して有機EL素子が発光する。この時、印加されるデータ電圧 (V_{data}) は階調を表現するために一定の範囲で多段階の値を取る。

【0008】

【発明が解決しようとする課題】とところが、前記のような従来のピクセル回路では、製造工程の不均一性によって生じるTFTのしきい電圧 (V_{TH}) の偏差で高輝度の階調再現を得にくい場合がある。例えば、3VでピクセルのTFTを駆動する場合、8ビット (256) 階調を表現するために12mV (=3V/256) 間隔でTFTのゲート電圧に電圧を印加しなければならないが、製造工程のばらつきによるTFTのしきい電圧の偏差が100mVである場合には高輝度の階調を良好に表現するのに関が残る。

【0009】本発明は前記のような問題を解決するために薄膜トランジスタ (TFT) のしきい電圧の偏差を補償して高輝度の階調を表現することができる有機EL表示装置を提供することにその目的がある。

【0010】

【課題を解決するための手段】上記目的を達成するための本発明の一つの特徴による有機電界発光表示装置は、請求項1に記載されているように、画像信号を示すデータ電圧を伝達する複数のデータ線、選択信号を伝達するための複数の走査線、及び前記複数のデータ線と前記複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路を備え、前記ピクセル回路が、印加される電流の値に対応する光を発光する有機電界発光素子、前記走査線に印加される選択信号にตอบสนองして前記データ線に印加されるデータ電圧をスイッチングするための第1スイッチ、前記第1スイッチを通じてゲートに入力される前記データ電圧に対応して前記有機電界発光素子に電流を供給する第1薄膜トランジスタ、前記第1薄膜トランジスタのしきい電圧偏差を補償するための、前記第1薄膜トランジスタのゲートにゲートが連結されている第2薄膜トランジスタ、及び前記第1薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するためのコンデンサーを備えたことにある。ここで、請求項2に記載されているように、制御信号にตอบสนองして前記第1薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第2スイッチを有することが好ましい。

【0011】さらに、請求項7又は12に記載されているように、前記第1スイッチは、ゲートに前記走査線が連結され、ソース (またはドレーン) に前記データ線が連結されて、ドレーン (またはソース) に前記第2薄膜トランジスタのドレーン (またはソース) が連結される第3薄膜トランジスタであり、前記第2スイッチは、ゲートに前記制御信号が印加され、ソース (またはドレーン) に前記第1薄膜トランジスタのゲートが連結され

で、ドレイン（またはソース）にリセットのための所定電圧が印加される第4薄膜トランジスタであることが好ましい。

【0012】一方、複数のデータ線、前記複数のデータ線に交差する複数の走査線、前記複数のデータ線と複数の走査線によって規定される領域に形成されて各々有機電界発光素子に電流を供給する薄膜トランジスタを有する行列形態の複数のピクセルを含む有機電界発光表示装置の駆動方法において、請求項1に記載されているように、画像信号を示すデータ電圧を前記複数のデータ線に印加する第1段階、前記ピクセルの行を選択するための選択信号を前記複数の走査線に順次印加する第2段階、前記選択信号に応じて前記データ線に印加されたデータ電圧をスイッチングした後、印加されたデータ電圧を前記薄膜トランジスタのしきい電圧偏置を減らすために補償する第3段階、及び前記補償されたデータ電圧を前記薄膜トランジスタのゲートに伝達して前記有機電界発光表示素子に電流を供給する第4段階を含むことが好ましい。この場合、請求項19に記載されているように、制御信号に応じて前記薄膜トランジスタのゲートに印加されたデータ電圧を初期化する第5段階を含むことが好ましい。

【0013】さらに、複数のデータ線と複数の走査線によって規定される複数のピクセルに各々形成される複数のピクセル回路において、請求項2に記載されているように、前記ピクセル回路は、有機電界発光素子、前記電界発光素子にドレインが電気的に接続される第1薄膜トランジスタ、前記第1薄膜トランジスタのゲートにゲートとソースが共に接続される第2薄膜トランジスタ、前記走査線に制御端子が接続され、前記データ線と前記第2薄膜トランジスタのソースに各々第1端子及び第2端子が電気的に接続される第1スイッチ、及び、前記第1薄膜トランジスタのゲートとソースの間に接続されるコンデンサを含むことが好ましい。さらに、この構成において、請求項27、29に記載されているように、前記第1スイッチは、ゲートに前記走査線が接続され、ソース（またはドレイン）に前記データ線が接続されて、ドレイン（またはソース）に前記第2薄膜トランジスタのドレイン（またはソース）が接続される第3薄膜トランジスタであり、前記第2スイッチは、ゲートに前記制御信号が印加され、ソース（またはドレイン）に前記第1薄膜トランジスタのゲートが接続されて、ドレイン（またはソース）にリセットのための所定電圧が印加される第4薄膜トランジスタであることが好ましい。

【0014】

【発明の実施の形態】以下、添付した図面を参照して本発明の実施の形態を詳細に説明する。

【0015】図4は本発明の実施の形態による有機EL表示装置を示す図面である。

【0016】図4に示したように、本発明の実施の形態

による有機EL表示装置は有機EL表示装置パネル10、データドライバ（Data Driver）30、走査ドライバ（SCAN Driver）20を有して構成される。

【0017】有機EL表示装置パネル10は画像信号を示すデータ電圧を伝達する複数のデータ線（D1、D2、D3、...、Dy）、選択信号を伝達するための走査線（S1、S2、S3、...、Sz）、前記複数のデータ線と複数の走査線の交点毎に規定されるピクセルに各々形成されるピクセル回路11を有する。

【0018】データドライバ30は複数のデータ線に画像信号を示すデータ電圧を印加し、走査ドライバ20は複数の走査線に選択信号を順次に印加する。

【0019】図5は、各々本発明の実施の形態によるピクセル回路11を示す図面である。

【0020】図5に示したように、本発明の実施の形態によるピクセル回路11は有機EL素子（OELD）、薄膜トランジスタ（M1、M2）、スイッチ（S1、S2）、コンデンサ（C1）を備えている。

【0021】有機EL素子（OELD）は印加される電流の量に対応する光を発光し、電流駆動用トランジスタ（M1）は、電源電圧（VDD）にソースが接続されて、有機EL素子（OELD）にドレインが接続され、ゲートに印加されるデータ線から供給されるデータ電圧に対応する電流を有機EL素子に供給する。

【0022】トランジスタ（M2）は、前記トランジスタ（M1）のゲートにゲートとドレインが各々接続されてダイオード機能を果たし、前記電流駆動用トランジスタ（M1）のしきい電圧偏置を補償する役割を果たす。図5に示したピクセル回路による、電流駆動用トランジスタ（M1）としきい電圧補償用トランジスタ（M2）をPMOS形薄膜トランジスタで構成したが、後述するようにNMOS形薄膜トランジスタで構成することも可能である。

【0023】コンデンサ（C1）は電源電圧（VDD）とトランジスタ（M1）のゲートの間に接続されてトランジスタ（M1）のゲートに印加されるデータ電圧を一定期間維持する。

【0024】スイッチ（S1）は走査線から印加される選択信号（Select[n]）に応じてスイッチングして、データ線に印加されるデータ電圧を電圧補償用トランジスタ（M2）を通じて電流駆動用トランジスタ（M1）に伝達する。スイッチ（S2）はリセット信号（Reset）に応じて電流駆動用トランジスタ（M1）のゲート電圧を初期化する。

【0025】次に図5に示した本発明の実施の形態によるピクセル回路の動作を説明する。

【0026】スイッチ（S1）に印加される選択信号（Select[n]）によってスイッチ（S1）がオンになると、データ線に印加されたデータ電圧（ V_{data} ）が電圧補償用トランジスタ（M2）を通じて電流駆動用

トランジスタ（M1）のゲート（ノードA）に伝達される。そして、ゲートに印加されるデータ電圧（ V_{data} ）に対応してトランジスタ（M1）を通じて有機EL素子（OELD）に電流が流れて発光が行われる。

$$I_{\text{OELD}} = \frac{\beta}{2} \cdot (V_{\text{GS}} - V_{\text{TH1}})^2 = \frac{\beta}{2} \cdot (V_{\text{DD}} - (V_{\text{DATA}} - V_{\text{TH2}}) - V_{\text{TH1}})^2$$

ここで、 I_{OELD} は有機EL素子に流れる電流、 V_{GS} は電流駆動用トランジスタ（M1）のソースとゲートの間の電圧、 V_{TH1} は電流駆動用トランジスタ（M1）のしきい電圧、 V_{TH2} は電圧補償用トランジスタ（M2）のしきい電圧、 β は定数値を示す。 V_{DD} は電源電圧である。

【0028】この時、電流駆動用トランジスタ（M1）と電圧補償用トランジスタ（M2）のしきい電圧が殆ど同一であれば、つまり、 $V_{\text{TH1}} = V_{\text{TH2}}$ であれば、式2は次の数3に示す式3で表現できる。実際に本発明の実施の形態によれば、トランジスタ（M1）とトランジスタ（M2）が殆ど同一な工程条件で製造されるために二つのトランジスタのしきい電圧の間には偏差が殆どなく、しきい電圧が同一になる。

【0029】

【数3】

$$I_{\text{OELD}} = \frac{\beta}{2} \cdot (V_{\text{DD}} - V_{\text{DATA}})^2$$

【0030】従って、本発明の実施の形態によれば有機EL素子（OELD）が数3に示す式3から分かるように、電流駆動用トランジスタ（M1）のしきい電圧に関係なくデータ線に印加されるデータ電圧に対応する電流が流れる。つまり、本発明の実施の形態によればトランジスタ（M2）が電流駆動用トランジスタ（M1）のしきい電圧の偏差を補償するために有機EL素子に流れる電流を微細に制御することができて高精度の階調を表現できる有機EL表示装置を提供することができる。

【0031】一方、本発明の実施の形態によれば直前のブレイム期間のデータが高いレベルの電圧であり、その次のブレイム期間のデータが低いレベルの電圧であればトランジスタ（M2）のダイオード連結特性によってノードAにはそれ以上データ信号が印加できなくなるのでスイッチ（S2）を介してノードAをブレイムごとに所定レベル（例えば、接地レベル）に初期化する。この時スイッチ（S2）は後述するように別途のリセット信号を利用して駆動することができ、OELDヒクセルの開閉率を高めるために直前の選択信号（Select[n-1]）で駆動することもできる。

【0032】図6は本発明の第1実施の形態による有機EL表示装置のヒクセル回路を示す図面である。図6に示したように、本発明の第1実施の形態によるヒクセル回路は図5に示したヒクセル回路と同様に電流駆動用トランジスタ（M1）としきい電圧補償用トランジスタ（M2）をPMOSトランジスタで構成し、スイッチ（S1、S2）も各々PMOS形トランジスタ（M3、

【0027】この時、本発明の実施の形態によって有機EL素子に流れる電流は次の数2に示す式2の通りである。

【数2】

M4）で構成した。

【0033】また、トランジスタ（M1）のゲート電圧をリセットさせるためのトランジスタ（M4）のゲートには別途のリセット信号（Reset）が印加される。

【0034】図8（イ）及び図8（ロ）は図6に示したヒクセル回路を駆動するためのタイミング図である。

【0035】まず、図8（イ）を参照すると、最初のリセット信号（Reset）によってノードAを初期化させた後、選択信号（Select[n]）により該当ヒクセル行を選択し、その後データ信号（Data[m]）を印加してm列の該当ヒクセルを発光させる。つまり、図8（イ）に示した駆動方法によればリセット信号、選択信号、データ信号の順序で各トランジスタに信号が印加される。

【0036】具体的には、トランジスタ（M4）のゲートに外部リセット（Reset）信号を印加して、まずノードAを接地レベルに初期化した後、選択信号（Select[n]）をトランジスタ（M4）のゲートに印加して該当ヒクセル行を活性化する。その後、活性化したトランジスタ（M4）のソースにデータ信号（Data[m]）を印加してm列の電流駆動用トランジスタ（M1）を駆動させる。この時、電流駆動用トランジスタ（M1）を通じて有機EL素子に流れる電流は前述した式3の通りである。

【0037】一方、外部リセット信号を使用する本発明の第1実施の形態によるヒクセル回路は図8（イ）に示したタイミング図以外に図8（ロ）に示したタイミング図を利用して駆動することができる。

【0038】図8（ロ）の例にあっては、最初リセット信号（Reset）によってノードAを初期化させた後、m列のデータ線にデータ信号（Data[m]）を印加し、その後選択信号（Select[n]）によりn行の該当ヒクセルを選択する。つまり、図8（ロ）に示した駆動方法によるリセット信号、データ信号、選択信号の順序に各トランジスタに信号が印加される。

【0039】図7は本発明の第2実施の形態による有機EL表示装置のヒクセル回路を示す図面である。本発明の第2実施の形態によるヒクセル回路は図6に示したヒクセル回路と殆ど同一な構成を有するが、トランジスタ（M4）のゲートが直前の走査線に接続されるという点が異なる。つまり、本発明の第2実施の形態によるヒクセル回路はトランジスタ（M4）のゲートに印加する信号を、独立の外部リセット信号を使用する代わりに直前の走査線のリセット信号（Select[n-1]）を利用す

る。

【0040】このように、外部の別の外部リセット信号を利用しない場合にはリセット信号を伝送するための別途の配線が必要でないためにピクセルの開閉率を高めることができるという長所がある。

【0041】図9は本発明の第2実施の形態による有機EL表示装置を駆動するためのタイミング図である。

【0042】図9に示したように、直前の走査信号を利用してノードAをリセットさせる本発明の第2実施の形態によると必ず直前の選択信号（リセット信号）、データ信号、現在の選択信号の順序に各トランジスタに信号を印加しなければならない。つまり、現在の選択信号（Select[n]）が走査線に印加される前にデータ線にデータ電圧が印加されなければならない。

【0043】万一、図8（イ）に示したように現在のデータ電圧が印加される前に選択信号（Select[n]）が印加される場合にはデータ線に印加されていた直前のデータ電圧がトランジスタ（M4）を通じて電流駆動用トランジスタ（M1）に印加される。従って、必ずデータ線に現在のデータ電圧が印加された後、選択信号が印加されなければならない。

【0044】図10は本発明の第3実施の形態による有機EL表示装置のピクセル回路を示し、図11（イ）及び図11（ロ）は図10に示したピクセル回路を駆動するためのタイミング図である。図10に示したように、本発明の第3実施の形態によるピクセル回路は図6または図7に示したピクセル回路の全てのトランジスタが前例のPMOS形からNMO S形トランジスタ（M5、M6、M7、M8）に変化しており、図6または図7に示した回路に対して完全に対称構造をしている。これによって、ピクセル面積に占めるトランジスタ面積が減少する効果がある（NMO Sは移動度が大きいので、チャネル幅を小さくできる）。

【0045】図10に示したピクセル回路の動作説明及び図11（イ）及び図11（ロ）に示したタイミング図の説明は、図6及び図7について、既に説明した内容をもとにして、本発明の属する技術分野における通常の知識を有する者であれば容易に分かる内容であるので、重複する説明を省略する。

【0046】図12は本発明の第4実施の形態による有機EL表示装置を示す図面である。

【0047】図12に示したように、本発明の第4実施の形態によるピクセル回路は図6または図7に示したピクセル回路と略同じ構成を有するが、スイッチングトランジスタ（M4）のドレインを接地する代わりにプリチャージ電圧（V_{pre}）を印加するという点が異なる。このように、トランジスタ（M4）のドレインに接地電圧の代わりにプリチャージ電圧を印加すればノードAの初期化電圧を接地レベルの代わりにプリチャージ（V_{pre}）電圧レベルまで高めることができるのでトランジスタ

タのスイッチング（switching）時間だけでなく消費電力までも減らすことができるという長所がある。この時、プリチャージ電圧は最大グレーレベルに到達するためにノードAに印加される電圧（つまり、データ線に印加される最低電圧）より多少低い値に設定するのが好ましい。

【0048】図13は本発明の第5実施の形態による有機EL表示装置を示す図面である。

【0049】図13に示したように、本発明の第5実施の形態によるピクセル回路は図6または図7に示したピクセル回路と略同一な構成を有するが、スイッチングトランジスタ（M4）のドレインとゲートが連結されてダイオード機能を行い、トランジスタ（M4）のゲート（つまり、ダイオードの入力端子）に外部リセット信号端子または直前の走査線が連結されるという点が異なる。

【0050】図13に示したように、本発明の実施の形態によるとダイオード連結されたトランジスタ（M4）によってもノードAを初期化させることができるが、このように接地電圧やプリチャージ電圧を利用する代わりに、リセット信号や直前の選択信号を利用する場合には、別途の接地配線やプリチャージ配線を形成する必要がないために全体的に配線の数を減らすことができ開閉率を高めることができるという長所がある。

【0051】図14は本発明の第6実施の形態による有機EL表示装置を示す図面である。

【0052】図14に示したように、本発明の第6実施の形態によるピクセル回路は図6に示したピクセル回路と略同じ構成を有するが、PMOS形トランジスタ（M4）を使用する代わりにNMO S形トランジスタ（M9）を使用する点異なる。図14でトランジスタ（M9）のゲートには外部の別途リセット信号が印加される。

【0053】図6に示したようにリセット信号が印加されるスイッチングトランジスタ（M4）がPMOSトランジスタである場合には、リセット動作時にトランジスタ（M4）のゲートには一定の電圧（例えば、接地レベル）が印加される反面、トランジスタ（M4）のソース（ノードA）の電圧はリセット動作で継続して低くなる。従って、トランジスタ（M4）のゲートとソース間の電圧（V_{gs}）が続いて低くなってノードAからトランジスタ（M4）を通じて接地点またはプリチャージ電圧点に流れる電流が引続き減少しリセットに相当な時間がかかる。また、トランジスタ（M4）がオンになるためにはトランジスタ（M4）のゲートとソース間の電圧差がしきい電圧（V_{th}）の絶対値より大きくなければならないために、リセット動作時に印加されるリセット信号が接地電圧であるかと仮定すればノードAの実際最低電圧は|V_{th}|となる。

【0054】これに比べて、本発明の第6実施の形態に

よるピクセル回路によればスイッチングトランジスタ(M9)としてNMOSトランジスタを用いるために、ノードAの接地最低電圧を殆ど接地レベルまで低くすることができるので階調を表現するためのデータ電圧幅をさらに広めることができる長所がある。また、トランジスタ(M9)のゲートとソースの間の電圧(V_{gs})が図6とは異なって一定であるため、ノードAからトランジスタ(M4)を通じて接地点またはリチャージ電圧点に流れる電流が一定で迅速にリセットを行うことができるという長所がある。

【0055】図16は本発明の第6実施の形態によるピクセル回路を駆動するためのタイミング図である。図16に示したように、第6実施の形態によるピクセル回路はリセット信号がゲートに印加されるトランジスタ(M9)がNMOS形トランジスタであるために、リセット信号が図8(イ)に示したリセット信号と反対の波形を有する。

【0056】一方、図14に示したピクセル回路に対する動作と図16に示したタイミング図に対する説明は以前の説明から本発明の属する技術分野における通常の知識を有する者が容易に理解できるので重複する説明は省略する。

【0057】図15は発明の第7実施の形態による有機EL表示装置のピクセル回路を示し、図17は図15に用いられる駆動波形のタイミング図である。

【0058】図15に示したように、本発明の第7実施の形態によるピクセル回路は図14に示したピクセル回路と殆ど同一な構成を有するが、NMOSトランジスタ(M9)のゲートに直前の走査線が接続されて直前の選択信号(Select[n-1])がリセット信号として用いられるという点と走査線にゲートが接続されるトランジスタ(M10)がNMOSトランジスタという点と異なる。

【0059】図15に示したように、NMOSトランジスタ(M9)のゲートに接続されるリセット信号を直前の選択信号を使用する場合には、データ電圧をスイッチングするためのトランジスタも同様にNMOSトランジスタを利用しなければならない。

【0060】図17に示したように、本発明の第7実施の形態によるピクセル回路は直前の選択信号を利用してノードAをリセットさせるために、図9と同様に直前の選択信号(リセット信号)、データ信号、現在の選択信号の順序に各トランジスタに信号を印加しなければならない。

【0061】図18及び図19は各々本発明の第8及び第9実施の形態による有機EL表示装置のピクセル回路を示す図面である。

【0062】図18及び図19に示したピクセル回路は各々図14及び図15に示したピクセル回路と各々PMOSトランジスタとNMOSトランジスタが対称的に変

わったものである。

【0063】図18及び図19に示したピクセル回路の動作及び動作タイミング図は以前に説明した内容から当業者が容易に理解できるので、以下重複する説明を省略する。

【0064】次に、本発明の実施の形態による有機電界発光表示装置の配置構造及び断面構造を説明する。

【0065】図20は本発明の実施の形態による有機EL表示装置の配置構造を示した図面であり、具体的に図13に示したピクセル回路の配置構造を示す図面である。

【0066】図21は図20のA-B線に対する断面図である。

【0067】図20及び図21で、I、II、III、V領域は各々薄膜トランジスタ(M4)、薄膜トランジスタ(M2)、薄膜トランジスタ(M1)、隣接ピクセルの薄膜トランジスタ(M4)が形成される領域であり、IV領域は有機EL素子(OELD)が形成される領域である。

【0068】図20及び図21に示したように、透明な絶縁基板100上に多結晶シリコン層200が形成されており、多結晶シリコン層200が形成されている基板100上にはシリコンダイオキサイド(SiO_2)やシリコンナイトライド(Si_3N_4)などからなるゲート絶縁膜300が形成されている。

【0069】ゲート絶縁膜300上にはシリコン層200と交差するようにアルミニウム(Al)、クロム(Cr)等で作られたゲート線400が横方向に形成されている。ゲート線400がI領域及びV領域のシリコン層200と重なる部分に各々ゲート電極410が形成される。また、キャパシタンスを形成するための第1維持電極線450がゲート線400と同一層に同一物質で形成されている。この第1維持電極線450がII領域及びIII領域のシリコン層200と重なる部分に各々ゲート電極410が形成される。

【0070】この時、シリコン層200の中で、ゲート電極410下部に置かれた部分はドーピングされておらず、その両側は各々n形不純物でドーピングされているが、n形不純物でドーピングされている領域が各々ソース領域230及びドレイン領域210を形成しドーピングされていない領域がチャンネル領域220を形成する。

【0071】ゲート線400及び第1維持電極線450などのゲート絶縁層上部にはシリコンダイオキサイド、シリコンナイトライドなどの物質からなる層間絶縁膜500が形成されており、ゲート絶縁膜300と層間絶縁膜500はドレイン及びソース領域210、230を露出する接触孔(C1、C2)を有している。

【0072】層間絶縁膜500上にはクロム(Cr)またはモリブデン(Mo)のような物質でデータ線600

が縦方向に形成されている。データ線600から延びてI領域のシリコン層200の一部、つまり、ソース領域210と重なる部分がソース電極610になる。この時、ドレーン電極610は層間絶縁膜500に形成されている接触孔(C1)を通してドレーン領域210と連結されている。

【0073】また、第1維持電極線410上に重なってキャパシタンスを形成するための第2維持電極線650がデータ線600と同一層に同一物質で形成されている。この第2維持電極線650がI領域のシリコン層200の一部、つまり、ソース領域210と重なる部分がソース電極610になる。この時、ソース電極610は接触孔(C1)を通してソース領域210に連結されている。

【0074】また、第1信号線640、第2信号線660、第3信号線670及び第4信号線680がデータ線600と同一層に同一物質で形成されている。第1信号線640がI領域のシリコン層200の一部、つまり、ドレーン領域230と重なる部分がソース電極620になり、第2信号線660がV領域のソース領域210と重なる部分がソース電極610になる。第3信号線670がV領域のソース領域230と重なる部分がソース電極610になり、第4信号線680がI領域のドレーン領域と重なる部分がドレーン電極620になる。この時、ソース電極610及びドレーン電極620は各々接触孔(C1、C2)を通じてソース領域210とドレーン領域230に連結されている。

【0075】第1信号線640と第2信号線660は各々第1維持電極線450と接触孔(C3)を通じて接触され、これにより図13に示した等価回路のようにトランジスタ(M2)のドレーン電極がトランジスタ(M2)のゲート電極、トランジスタ(M1)のゲート電極、トランジスタ(M4)のドレーン電極に電気的に連結される。第3信号線670は接触孔(C3)を通じて選択ゲート線(Select[n-1])に接触され、これにより図3に示した等価回路のように、トランジスタ(M4)のソース電極が選択ゲート線に電気的に連結される。

【0076】データ線600とソース及びドレーン電極610、620などのデータ配線層上にはシリコンオキサイド、シリコンナイトライドからなる保護絶縁膜700が覆っている。領域IVに形成される保護絶縁膜700上にはITO(indium-tin-oxide)からなる透明画素電極800が形成されている。この画素電極800は保護絶縁膜700に形成されている接触孔(C4)を通じて薄膜トランジスタ(M1)のドレーン電極620と連結されている。

【0077】保護絶縁膜700及び両素電極800上には平坦化膜900が形成され、平坦化膜900と両素電極800上には有機EL素子層900及びカソード金属層

1000が順次形成される。

【0078】図20に示した本発明の実施の形態による有機EL表示装置によると、薄膜トランジスタ(M2)及び薄膜トランジスタ(M1)がデータ線500と平行に同一線上に位置する。有機EL表示装置を製造する場合、一般にデータ線と平行にレーザービームをスキャンするが、本発明の実施の形態によれば薄膜トランジスタ(M2、M1)がデータ線500と平行に同一線上に位置するために同一レーザービームに照射される。従って、薄膜トランジスタ(M1)及び薄膜トランジスタ(M2)が殆ど同一工程条件で製造されるために、しきい電圧が殆ど同一になる。

【0079】結局、本発明の実施の形態によるとV_{th}=V_{th0}であるので、前述した式3の条件を殆ど満足させることができ、前述したような高階調の有機EL表示装置を実現することができる。

【0080】図20及び図21に示した本発明の実施の形態による有機EL表示装置の配置図及び断面図は一つの例示に過ぎず、その外に多様に変形して用いることができる。

【0081】以上では本発明の実施の形態について説明したが、本発明は前記実施の形態にだけ限定されるわけではなく、その他の様々な変更や変形が可能である。

【0082】

【発明の効果】以上で説明したように、本発明によれば有機EL素子を駆動するための薄膜トランジスタ(TFT)のしきい電圧の偏歪を効果的に補償してより高階調の有機EL表示装置を実現することができる長所がある。

【図面の簡単な説明】

【図1】一般的な有機電界発光素子を説明するために示した図面

【図2】有機電界発光素子を駆動するためのピクセル回路の原理図

【図3】図2に示すヒクセル回路に対する駆動タイミング図

【図4】本発明の実施の形態による有機電界発光表示装置を示す図面

【図5】本発明のピクセル回路を示す図面

【図6】本発明の第1実施の形態によるピクセル回路を示す図面

【図7】本発明の第2実施の形態によるピクセル回路を示す図面

【図8】図6に示したピクセル回路に対する駆動タイミング図

【図9】図7に示したピクセル回路に対する駆動タイミング図

【図10】本発明の第3実施の形態によるピクセル回路を示す図

【図11】図10に示したピクセル回路に対する駆動タ

イメージ図

【図12】本発明の第4実施の形態によるピクセル回路を示す図面

【図13】本発明の第5実施の形態によるピクセル回路を示す図面

【図14】本発明の第6実施の形態によるピクセル回路を示す図面

【図15】本発明の第7実施の形態によるピクセル回路を示す図面

【図16】図14に示したピクセル回路に対する駆動タイミング図

【図17】図15に示したピクセル回路に対する駆動タイミング図

【図18】本発明の第8実施の形態によるピクセル回路を示す図

【図19】本発明の第9実施の形態によるピクセル回路を示す図面

【図20】本発明の実施の形態による有機電界発光素子の配置構造を示した平面図

【図21】図20のA…B線に対する断面図

【符号の説明】

10 有機EL表示装置パネル

11 ピクセル回路

20 走査ドライバー

30 データドライバー

100 絶縁基板

200 シリコン層

210 ソース領域

220 チャンネル領域

230 ドレイン領域

300 ゲート絶縁膜

400 ゲート線

410 ゲート電極

450 第1維持電極線

500 絶縁膜

600 データ線

610 ソース電極

620 ドレイン電極

640 第1信号線

650 第2維持電極線

660 第2信号線

670 第3信号線

680 第4信号線

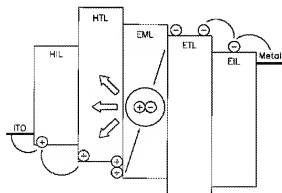
700 保護絶縁膜

800 透明画素電極

900 平坦化膜

1000 有機EL素子層

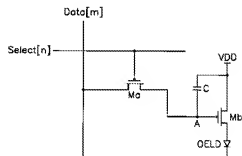
【図1】



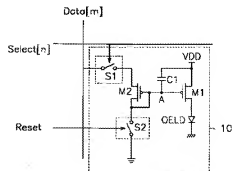
【図3】



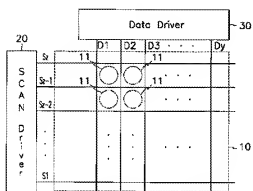
【図2】



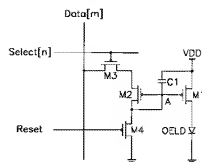
【図5】



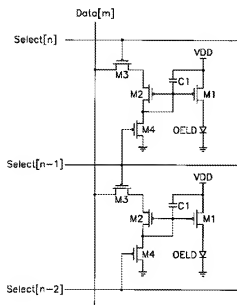
【図4】



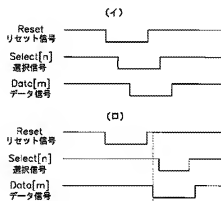
【図6】



【図7】



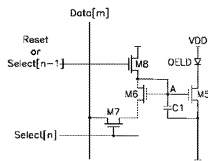
【図8】



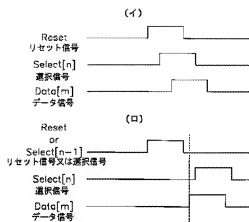
【図9】



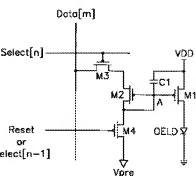
【図10】



【図 11】

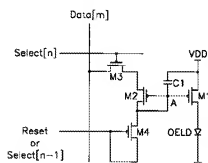


【図 12】

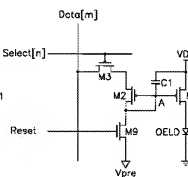


【図 18】

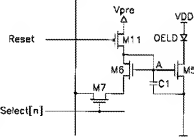
【図 13】



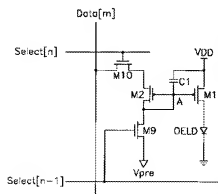
【図 14】



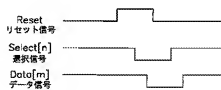
【図 15】



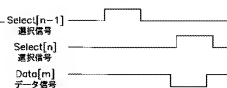
【図 15】



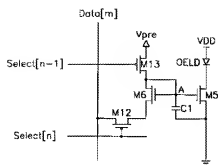
【図 16】



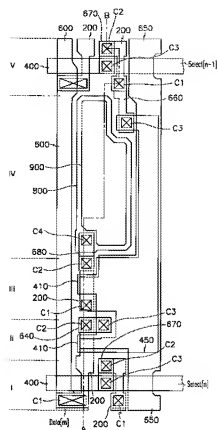
【図 17】



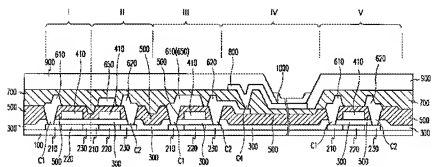
【図 1 9】



【図 2 0】



【図 2 1】



フロントページの続き

(51) Int. Cl.

G 0 9 G 3/20

H 0 5 B 33/14

識別記号

6 4 1

F I

G 0 9 G 3/20

H 0 5 B 33/14

特マポート (参考)

6 4 1 D

A

F ターム (参考) 3K007 AB02 AB17 BA06 BA01 BB03
EB00 GA02 GA04
5C080 AA06 BB05 DD03 DD28 EE29
PF11 JJ02 JJ03 JJ04
5C094 AA07 AA53 AA55 AA56 BA03
BA27 CA19 CA25 DA09 DB01
DB04 EA04 EA05 EA10 EB02
FA01 FB01 FB12 FB14 FB15
FB20 GA10